



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Pat ntschrift
10 DE 196 50 184 C 2

51 Int. Cl.⁷:
H 03 K 17/90
H 03 F 15/00
G 01 R 33/07

21 Aktenzeichen: 196 50 184.9-31
22 Anmeldetag: 4. 12. 1996
43 Offenlegungstag: 12. 6. 1997
45 Veröffentlichungstag
der Patenterteilung: 4. 10. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

30 Unionspriorität:
569814 08. 12. 1995 US
73 Patentinhaber:
Allegro Microsystems, Inc., Worcester, Mass., US
74 Vertreter:
Fuchs, Mehler, Weiß, 65189 Wiesbaden

72 Erfinder:
Bilotti, Alberto, Florida, US; Monreal, Gerardo,
Capital, US
56 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 44 31 703 A1
EP 05 48 391 A1

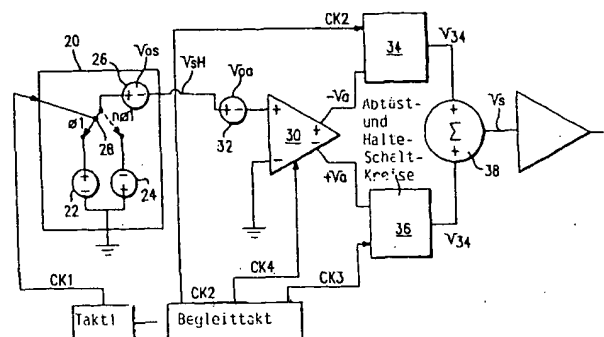
54 Getakteter Hall-Sensor

57 Getakteter Hall-Sensor mit einem Hall-Element, das zwei Paare von diagonal gegenüberliegenden Hall-Kontakten besitzt, wobei die Kontakte voneinander beabstandet sind und nahe des Umfangs des Hall-Elementes angeordnet sind, mit einem Paar von Gleichspannungs-Versorgungsleitungen, an die eine Gleichspannungsquelle zum Anregen des Hall-Elementes angeschlossen werden kann, mit einem Taktsignalgenerator zur Erzeugung eines binären Taktsignales ck1 an einem ersten Taktausgang, das binäre Phasen $\phi 1$ und $\phi 1$ besitzt und mit einem Hall-Element-Schalter-Schaltkreis, der an den ersten Taktausgang angeschlossen ist und ein Paar von Hall-Element-Schalter-Schaltkreis-Ausgangsleitungen besitzt, um während der Phase $\phi 1$ eines der diagonal gegenüberliegenden Kontaktpaare mit dem Paar von Gleichspannungs-Versorgungsleitungen zu verbinden, während gleichzeitig das andere der diagonal gegenüberliegenden Kontaktpaare mit dem Paar von Hall-Element-Schalter-Schaltkreis-Ausgangsleitungen verbunden wird und um während der Phase $\phi 1$ das andere der diagonal gegenüberliegenden Kontaktpaare mit dem Paar von Gleichspannungs-Versorgungsleitungen zu verbinden, während gleichzeitig das eine Paar von diagonal gegenüberliegenden Hallkontakten mit dem Paar von Hallelement-Schalter-Schaltkreis-Ausgangsleitungen verbunden wird und wobei die Verbesserung umfaßt:

- a) Einen Begleittakt-Signalgenerator, der an den einen Taktsignal-Generator angeschlossen ist und einen zweiten Taktausgang besitzt, um an dem zweiten Taktausgang ein binäres Taktsignal ck2 mit einer binären Phase $\phi 2$ zu erzeugen, das während eines Mittelteiles einer jeden Phase $\phi 1$ des Taktsignales ck1 auftritt und der einen dritten Taktausgang besitzt, um an dem dritten Taktausgang ein binäres Taktsignal ck3 mit einer binären Phase $\phi 3$ zu erzeugen, das während eines Mittelteiles einer jeden Phase $\phi 1$ des Taktsignales ck1 auftritt;
- b) einen linearen, analogen Doppeldifferential-Hall-Spannungsverstärker (30), der mit einem Differentialeingang an das Paar von Hallelement-Schalter-Schaltkreis-Ausgangsleitungen angeschlossen ist;
- c) einen getakteten Abtast- und Halteschaltkreis (34, 36), der erste und zweite Abtast- und Halte-Schaltkreiselemente umfaßt, wobei jedes der ersten und zweiten Ab-

tast- und Halte-Schaltkreiselemente einen Eingang besitzt, der entsprechend an den einen oder anderen der Differentialausgänge des Hall-Spannungsverstärkers (30) angeschlossen ist, wobei die ersten und zweiten Abtast- und Halte-Schaltkreiselemente eine Abtast-Freigabe-Schalteneinrichtung aufweisen, die entsprechend an die zweiten und dritten Taktausgänge angeschlossen sind, um entsprechend die Eingangssignale der Abtast- und Halte-Schaltkreiselemente nur während der Phasen $\phi 2$ und $\phi 3$ abzutasten, und die Abtastsignale an den entsprechenden Ausgängen der ersten und zweiten Abtast- und Halte-Schaltkreiselemente während der Phasen $\phi 2$ und $\phi 3$ entsprechend zu halten; und

d) einen Summierschaltkreis (38), der mit einem ersten Eingang an den Ausgang des ersten Abtast- und Halte-Schaltkreiselementes angeschlossen ist und der mit einem zweiten Eingang an den Ausgang des zweiten Abtast- und Halte-Schaltkreiselementes angeschlossen ist, wobei der Ausgang des Summierschaltkreises als Ausgang des Hall-Sensors dient.



DE 196 50 184 C 2

DE 196 50 184 C 2

Beschreibung

[0001] Diese Erfindung bezieht sich auf einen getakteten Hall-Sensor-Schaltkreis, wobei der Anregungsstrom für das Hall-Element abwechselnd vom Fluß in einer Richtung zu einem Fluß in einer anderen Richtung umgeschaltet wird, und sie bezieht sich insbesondere auf einen solchen Hall-Sensor, in welchem ein getakteter Abtast- und Halte-Hallspannungs-Schaltkreis synchron mit dem geschalteten Hall-Element getaktet wird.

[0002] Es ist lange übliche Praxis gewesen, ein Hallelement anzuregen, indem es permanent durch zwei Kontakte mit der Gleichspannungs-Versorgungsspannung oder einer anderen Quelle des Hall-Stromes I_H verbunden wird, um eine Hall-Spannung (V_H) an zwei anderen Kontakten zu erzielen, die proportional zu dem Produkt der magnetischen Umgebungs-Feldstärke B und dem Hall-Anregungsstrom I_H ist. Wenn ein magnetisches Umgebungsfeld nicht vorliegt (Feldstärke 0), so wird typischerweise eine unerwünschte Offset-Spannung (V_{OS}) an den Hall-Ausgangskontakten erzeugt, und wenn die Stärke des Umgebungsfeldes B von 0 abweicht, so ist die Ausgangsspannung des Hall-Elementes die Summe von V_H und V_{OS} . Die Größe und Polarität der unerwünschten Offset-Spannung sind u. a. eine Funktion von Beanspruchungen in dem Halbleiterchip, der das Hall-Element bildet, wobei die Beanspruchungen mit dem mechanischen Druck und der Temperatur variieren.

[0003] Es ist bekannt, einen Schalter-Schaltkreis vorzusehen, in welchem ein Hallelement Anregungsstrom abwechselnd vom Fluß in einer Richtung auf einen Fluß in entgegengesetzter Richtung durch das Hallelement umgeschaltet wird.

[0004] So ist z. B. in der älteren DE 44 31 703 A1 zwischen eine Spannungsversorgungseinrichtung und das Hall-Element eine Schaltvorrichtung geschaltet, die die Anschlüsse des Hallelementes alternierend vertauscht.

[0005] Ferner zeigt die EP 0 548 391 A1 ebenfalls ein Hallelement, dessen Versorgungsstrom zur verbesserten Offset-Kompensation orthogonal umgeschaltet wird.

[0006] Ein dementsprechender Stand der Technik ist in Fig. 1 gezeigt. Das symmetrische Hall-Element 10 besitzt vier gleich beabstandete Kontakte 11, 12, 13 und 14, die die Ecken eines hypothetischen Quadrates 15 definieren. Die Kontakte 11 und 14 sind mit der Gleichspannungs-Versorgungsspannung V_{cc} über einen elektrisch steuerbaren Umschalter 16 verbunden, und die Kontakte 12 und 13 sind mit der Masse der Versorgungsspannung über einen elektrisch steuerbaren Umschalter 18 verbunden.

[0007] Wenn die Schalter 16 und 18 mit einem hohen binären Signalpegel während der Phase $\phi 1$ des Taktes $ck1$ getaktet werden, so fließt der Hall-Element-Anregungsstrom I_H von dem Kontakt 11 zu dem Kontakt 13. Wenn nachfolgend die Schalter 16 und 18 durch ein binäres Signal mit niedrigem Pegel während der nächsten Phase $\phi 4$ des Taktes $ck1$ getaktet werden, so fließt der Hallelement Anregungsstrom I_H von dem Kontakt 14 zu dem Kontakt 12 in einer Richtung durch das Hallelement, die im rechten Winkel zu der Richtung verläuft, in der der Strom während einer Phase $\phi 1$ des Taktsignales $ck1$ geflossen ist.

[0008] Schalter 16, 18, 19 und 20 sind in den Positionen entsprechend der Taktphase $\phi 1$ gezeigt (ausgezogene Pfeile). Die anderen Schalterpositionen (gestrichelte Pfeile) entsprechen der Taktphase $\phi 4$. Die periodische Umschaltung der Richtung des Hallelement Anregungsstromes I_H , wie bei dem Schaltkreis von Fig. 1, kombiniert mit einer weiteren Signalverarbeitung, macht es möglich, in großem Umfang den Betrag der Offset-Spannung V_{OS} zu reduzieren. Die Schalter-Schaltkreis-Ausgangsspannung V_{SH} ist aus V_{OS}

und der gewünschten Hallspannung V_H zusammengesetzt.

[0009] Das Taktsignal $ck1$ ändert sich abwechselnd von der Phase $\phi 1$ zu der Phase $\phi 4$, wie in Fig. 2a ersichtlich. In der Schalter-Schaltkreis-Ausgangsspannung V_{SH} ist die Hallspannungskomponente V_H während der Phase $\phi 1$ positiv und während der Phase $\phi 4$ negativ. Während jeder Phase ist die Größe von V_H durch $I_H \times B$ gegeben. In der Schalter-Schaltkreis Ausgangsspannung V_{SH} tritt diese erwünschte Komponente V_H (Fig. 2c) kombiniert mit der unerwünschten Offset-Komponente V_{OS} auf. Die Polarität der unerwünschten Offset-Spannungs-Komponente V_{OS} in V_{SH} ist positiv und im wesentlichen von der gleichen Größe während beider Phasen $\phi 1$ und $\phi 4$, wie in Fig. 2b erkennbar. Die resultierende Schalter-Schaltkreis Ausgangsspannung V_{SH} ist die Summe der zwei Signale V_{OS} und V_H , wie in Fig. 2d gezeigt.

[0010] Während der Phase $\phi 1$ gilt

$$V_{SH} = V_H + V_{OS}.$$

[0011] Während der Phase $\phi 4$ gilt

$$V_{SH} = -V_H + V_{OS}.$$

[0012] Somit wird irgendein Schaltkreis, der die zwei Spannungspegel in dem Signal V_{SH} , nämlich den Pegel während der Phase $\phi 4$ von dem in der Phase $\phi 1$ subtrahiert, eine Differenzspannung vorgeben, die unmittelbar $2V_H$ entspricht und die Hall-Offset-Spannung ist theoretisch eliminiert worden.

[0013] Ein Hauptproblem bei der Verwendung eines Hall-Schalter-Schaltkreises, wie jenem von Fig. 1, liegt darin, daß die Spannungsspitzen, die durch das Schalten des Hall-Anregungsstromes I_H erzeugt werden, sehr groß im Vergleich zu der Hall-Spannung V_H sind, so daß teure Filterkondensatoren erforderlich sind. Die Verwendung von großen Tiefpaß-Filterkondensatoren zieht eine wesentliche Verteuerung nach sich und macht solche Schaltkreise nutzlos für das Messen bzw. Feststellen von sich schnell verändernden Magnetfeldern mit kleinem Pegel.

[0014] Es ist vorgeschlagen worden, dieses Problem durch die Verwendung eines schaltenden Ladungs-Übertragungs-Verstärkers zu lösen, um die Hall-Spannung zu verstärken, und die Hall-Schaltspitzen zu vermindern. Ladungs-Übertragungsschaltkreise selbst führen jedoch ein Ladungsinjektions-Schaltrauschen bei dem geringsten Hall-Signalpegel in dem System ein.

[0015] Es ist eine Aufgabe dieser Erfindung, einen sensitiven Hall-Sensor vorzugeben, dem ein Verstärker und ein synchron getakteter Abtast- und Halteschaltkreis nachgeschaltet ist, um eine dynamische Offset-Unterdrückung vorzugeben, die unempfindlich ist gegen Spannungsübergänge des Hall-Schalterstromes und gegen die charakteristischen Offset-Spannungen sowohl des Hall-Spannungsverstärkers als auch des Hallplättchens, ohne die Verwendung von schaltenden Ladungs-Übertragungs-Verstärkerschaltkreisen am Eingang.

[0016] Es ist eine weitere Aufgabe dieser Erfindung, solch einen Hall-Sensor vorzugeben, bei dem die Hallspannung durch einen in der Verstärkung getakteten differentiellen linearen Analogverstärker zum Austasten der Hall-Schalter-Rauschspitzen verstärkt wird.

[0017] Es ist noch eine weitere Aufgabe dieser Erfindung, einen solchen Hall-Sensor vorzugeben, bei dem der Abtast- und Halteschaltkreis ein getakteter Abtast- und Halteschaltkreis mit gekreuzter Polarität ist und der vollständig differentiell zur Zurückweisung von Gleichtakt-Rauschsignalen arbeitet.

[0018] Ein getakteter Hall-Sensor umfaßt einen Hallelement-Schalter-Schaltkreis der Art, bei welchem ein Hallelement zwei Paare von diagonal gegenüberliegenden Hallkontakten besitzt, welche abwechselnd mit einem Paar von Gleichspannungs-Versorgungs-Leitungen und mit einem Paar von Hall-Schalter-Schaltkreis Ausgangsleitungen verbunden werden, wobei die zwei Kontaktpaare abwechselnd als die Anregungsanschlüsse und die Hallspannungs-Ausgangsanschlüsse dienen und der Hallelement Anregungsstrom abwechselnd vom Fluß in einer Richtung zum Fluß in einer anderen Richtung durch das Hallelement und vorzugsweise in einer quadratischen Richtung umgeschaltet wird.

[0019] Ein erster Taktgenerator, der an den Hall-Schalter-Schaltkreis angeschlossen ist und dessen Umschaltung steuert, erzeugt ein binäres Taktsignal ck1 mit binären Phasen $\phi 1$ und $\bar{\phi} 1$, die entsprechend zum Anschluß des einen und des anderen Kontaktpaares des Hallelementes an die Hallspannungs-Ausgangs-Anschlüsse führen.

[0020] Ein Begleittakt-Signalgenerator, der an den ersten Taktsignalgenerator angeschlossen ist, besitzt einen zweiten Taktausgang, an welchem ein binäres Taktsignal ck2 mit einer binären Phase $\phi 2$ erzeugt wird, die während eines Mittelteils einer jeder Phase $\phi 1$ des Taktsignales ck1 auftritt. Ferner besitzt der Begleittakt-Signalgenerator einen dritten Taktausgang, an welchem ein binäres Taktsignal ck3 mit einer binären Phase $\phi 3$ erzeugt wird, die während eines Mittelteils einer jeder Phase $\bar{\phi} 1$ des Taktsignales ck1 auftritt.

[0021] Ein linearer analoger Doppeldifferential-Hallspannungs-Verstärker besitzt einen Differentialeingang, der an das Paar der Hall-Schalter-Schaltkreis-Ausgangsleitungen angeschlossen ist.

[0022] Ein getakteter Abtast- und Halteschaltkreis umfaßt erste und zweite Abtast- und Halteschaltkreiselemente, von denen jedes erste und zweite Abtast- und Halte-Schaltkreiselemente besitzt, die entsprechend an den einen und den anderen der Differential-Ausgänge des Hall-Spannungsverstärkers angeschlossen sind. Jedes der ersten und zweiten Abtast- und Halte-Schaltkreiselemente besitzt eine Abtast-Freigabe-Schaltanordnung, die entsprechend an die zweiten und dritten Taktausgänge angeschlossen ist, um entsprechend die Eingangssignale des Abtast- und Halte-Schaltkreiselementes nur während der Phasen $\phi 2$ und $\phi 3$ abzutasten und die Abtastsignale an den entsprechenden Ausgängen der ersten und zweiten Abtast- und Halte-Schaltkreiselemente während der der Phasen $\bar{\phi} 2$ und $\bar{\phi} 3$ entsprechend zu halten.

[0023] Ein Summierschaltkreis ist enthalten, der einen ersten Eingang besitzt, der an den Ausgang des ersten Abtast- und Halte-Schaltkreiselementes angeschlossen ist und der einen zweiten Eingang besitzt, der an den Ausgang des zweiten Abtast- und Halte-Schaltkreiselementes angeschlossen ist, wobei der Ausgang des Summierschaltkreises als Ausgang des Hall-Sensors dient.

[0024] Somit sind in dem getakteten Hall-Sensor dieser Erfindung die großen Schaltübergänge, die während der Schaltphasen-Übergänge in dem Hall-Element-Schaltkreis auftreten, ohne Bedeutung, da das verstärkte Hall-Spannungssignal abgetastet wird, nachdem der Verstärker und das Hallelement vollständig abgeklungen sind.

[0025] Ein zweites Ausführungsbeispiel wird aufgebaut durch Hinzufügung von dritten und vierten Abtast- und Halte-Schaltkreiselementen für die eben zuvor beschriebenen getakteten Abtast- und Halteschaltkreise. Jedes der dritten und vierten Abtast- und Halte-Schaltkreis-Elemente besitzt einen Eingang, der entsprechend an den anderen und den einen der Differentialausgänge des Hall-Spannungsverstärkers angeschlossen ist. Jedes der dritten und vierten Abtast- und Halte-Schaltkreiselemente besitzt ebenfalls eine

Abtast-Freigabe-Schaltanordnung, die entsprechend an die zweiten und dritten Taktausgänge angeschlossen ist, um entsprechend die Eingangssignale der Abtast- und Halte-Schaltkreiselemente nur während der Phasen $\phi 2$ und $\phi 3$ abzutasten und die Abtastsignale an den entsprechenden Ausgängen der dritten und vierten Abtast- und Halte-Schaltkreiselemente während der Phasen $\bar{\phi} 2$ und $\bar{\phi} 3$ entsprechend zu halten. Dem Summierschaltkreis ist ferner hinzugefügt ein dritter Eingang, der an den Ausgang des dritten Abtast- und Halte-Schaltkreiselementes angeschlossen ist und ein vierter Eingang, der an den Ausgang des vierten Abtast- und Halte-Schaltkreis-Elementes angeschlossen ist.

[0026] (Die ersten, zweiten, dritten und vierten Abtast- und Halte-Schaltkreiselemente entsprechen den Abtast- und Halte-Schaltkreiselementen in Fig. 6, und sie erzeugen entsprechend die Ausgangsspannungen V1, V2, V3 und V4.)

[0027] Dieser getaktete Abtast- und Halte-Schaltkreis ist ein Volldifferential-Abtast- und Halteschaltkreis mit gekreuzter Polarität. Er liefert eine Zurückweisung von unerwünschten durch den Takt induzierten Gleichtakt-Rauschsignalen, von Veränderungen in der Versorgungsspannung, von Signalen, die der Ladungsinjektion und dem Abfall zugeordnet sind, die in den Abtast- und Halte-Schaltkreiselementen erzeugt werden, da diese unerwünschten Signale dem Summierschaltkreis als Gleichtaktsignale durch den Abtast- und Halte-Schaltkreis mit gekreuzter Polarität zugeführt werden.

[0028] Ferner kann ein Hall-Schalter-Rausch-Unterdrückungsmerkmal vorteilhaft dem getakteten Hallsensor in jedem Ausführungsbeispiel hinzugefügt werden. Um dies zu machen, wird der Begleittakt-Signalgenerator zusätzlich in die Lage versetzt, an einem vierten Taktausgang ein binäres Taktsignal ck4 mit einer binären Phase $\phi 4$ zu erzeugen, die synchronisiert ist, um während einer Zeitspanne aufzutreten, die jeden Auftritt einer Umschaltung zwischen den Phasen $\phi 1$ und $\bar{\phi} 1$ in dem Taktsignal ck1 umschließt.

[0029] Der Doppeldifferential-Hall-Spannungsverstärker umfaßt zusätzlich eine elektrisch betätigte Schaltanordnung zur Verstärkungsreduzierung, die an den vierten Taktausgang während jeder Phase $\phi 4$ in dem Taktsignal ck4 angeschlossen ist, um die differentielle Verstärkung des Halte-Spannungs-Verstärkers zu reduzieren. Dieses Verstärker-Unterdrückungsmerkmal verbessert ferner das Verhältnis des Ausgangssignales des Hall-Sensors zu den Rauschspitzen des Hallschalters.

[0030] Fig. 1 zeigt ein Hallplättchen in einem Schalter-Schaltkreis des Standes der Technik für die abwechselnde Umschaltung der Hall-Stromrichtung.

[0031] Fig. 2a, 2b, 2c und 2d zeigen entsprechend die Spannungsverläufe in dem Hall-Schalter-Schaltkreis von Fig. 1 bzgl. des Taktsignales (V_{ck1}) an den Hall-Schalter, der Hall-Offset-Ausgangsspannungskomponente (V_{os}) der durch das Magnetfeld induzierten Hall-Ausgangsspannungskomponenten (V_{sg}) und der Hall-Schalter-Schaltkreis-Ausgangsspannung (V_{sh}).

[0032] Fig. 3 zeigt ein vereinfachtes Blockdiagramm eines Hall-Sensors mit einer getakteten Abtast- und Halte-Konstruktion mit gekreuzter Polarität dieser Erfindung, die einen vereinfachten Hall-Schalter-Schaltkreis umfaßt, der demjenigen von Fig. 1 äquivalent ist und dem ein Hall-Spannungs-Verstärker und ein getakteter Abtast- und Halte-Schaltkreis mit gekreuzter Polarität nachgeschaltet ist.

[0033] Fig. 4a, 4b, 4c und 4d zeigen entsprechend die Spannungsverläufe der Taktsignale ck1, ck2, ck3 und ck4 in dem vereinfachten Hall-Sensor von Fig. 3, die alle auf den gleichen Zeitmaßstab bezogen sind.

[0034] Fig. 5a und 5b zeigen die Spannungsverläufe in dem vereinfachten Hall-Sensor von Fig. 3 entsprechend der

Spannung V_{a+} an einem Differentialausgang des Hall-Spannungsverstärkers und der Spannung V_{a-} an dem anderen Differentialausgang des Hall-Spannungsverstärkers.

[0035] Fig. 6 zeigt ein Blockdiagramm eines vollständig differentiellen Hall-Sensors mit einem getakteten Abtast- und Halteschaltkreis gekreuzter Polarität dieser Erfindung, der einen Hall-Schalter-Schaltkreis wie in Fig. 1 einschließt, dem ein analoger Hall-Spannungsverstärker, ein vollständig differentieller Abtast- und Halterschaltkreis und ein Signal-Summierschaltkreis folgen.

[0036] Fig. 7 zeigt ein Schaltungsdiagramm eines Hall-Spannungsverstärkers dieser Erfindung.

[0037] Fig. 8 zeigt ein Schaltungsdiagramm eines Abtast- und Halte-Schaltkreiselementes, das zur Verwendung in den getakteten Abtast- und Halteschaltkreisen mit gekreuzter Polarität dieser Erfindung geeignet ist.

[0038] Bei dem Hall-Sensor von Fig. 3 enthält ein äquivalenter Schaltkreis 20 zu dem schaltenden Hall-Schaltkreis, wie beispielsweise dem in Fig. 1, die Signal-Erzeugungsböcke 22 und 24, die entsprechend die Signale $+V_H$ während $\phi 1$ und $\phi 1$ erzeugen, den Block 26, der das Offset-Signal-Vos und den Umschalter 28, der durch das binäre Taktsignal $ck1$ gesteuert ist, wie dies aus Fig. 4a erkennbar ist. Der äquivalente Schaltkreis ist nützlich für ein klareres Verständnis der Schaltkreise dieser Erfindung.

[0039] Der Hall-Spannungsverstärker 30 soll ein idealer, linearer, analoger Doppeldifferential-Verstärker sein, und seine auf den Eingang bezogene Offset-Spannung V_{os} wird durch den Block 32 erzeugt, der in Reihe zu dem einen Verstärkereingang und zu dem Ausgang des schaltenden Hall-Schaltkreises 20 geschaltet ist. Im wesentlichen sind die Offset-Spannung V_{os} des schaltenden Hall-Schaltkreises 20 und die Offset-Spannung V_{os} des Verstärkers 30 zwei Gleichspannungen, die in Reihe erzeugt werden und zusammengekommen eine summierte Gleichspannungsspannungs-Offset-Spannung V_{osa} ergeben. Das Signal am Eingang des idealen Verstärkers 30 beträgt daher $V_{sh} = V_H + V_{osa}$ während der Phase $\phi 1$ (des Taktsignales $ck1$) und $V_{sh} = -V_H + V_{osa}$ während der Phase $\phi 1$ (der anderen und komplementären Phase $\phi 1$ in dem Taktsignal $ck1$). So ergeben sich die Verstärker-Ausgangssignale zu

$$+V_a = (G/2)(V_H + V_{osa}) \text{ und}$$

$$-V_a = -(G/2)(-V_H + V_{osa}) = (G/2)(V_H - V_{osa})$$

wobei G die Differential/Differential-Verstärkung des Verstärkers 30 ist.

[0040] Die Ausgangssignale $+V_a$ und $-V_a$ des Verstärkers 30 werden entsprechend an die Eingänge der getakteten Abtast- und Halte-Schaltkreise 34 und 36 mit gekreuzter Polarität angelegt. Die Schaltkreise 34 und 36 werden aktiviert, um die Eingangssignale $+V_a$ und $-V_a$ durch die Taktsignale $ck2$ und $ck3$ abzutasten. Impulsformen der Taktsignale $ck2$ und $ck3$, die in den Fig. 4b und 4c gezeigt sind, aktivieren entsprechend die Abtastung der Abtast- und Halteschaltkreise 36 und 34 während einer Dauer, die geringer ist als die volle Spanne der Phase $\phi 1$ und $\phi 1$.

[0041] Ferner sind die durch beide Taktsignale $ck2$ und $ck3$ gebildeten Abtastzeiten nicht koinzidierend mit den Phasenumschaltungen in $ck1$, d. h. mit den Umschaltungen von $\phi 1$ zu $\phi 1$ und umgekehrt. Die Abtastung wird daher veranlaßt, nur während einer Zeit zwischen Phasenumschaltungen in dem Taktsignal $ck1$ aufzutreten und zu einer Zeit nach jeder solchen Phasenumschaltung, wenn der Verstärker 30 und das Hall-Element 10 sich nach dem Auftreten der Spannungsspitzen, die bei jedem Hall-Schaltübergang erzeugt werden, beruhigt haben.

[0042] In Fig. 5a ist der Ausgang V_{34} des Abtast- und Halteschaltkreises 34 dem Verstärker-Ausgangssignal $+V_a$ überlagert. Bei jedem hohen Impuls in dem Taktsignal $ck2$ wird der Abtast- und Halteschaltkreis 34 freigegeben (d. h. aktiviert), um das Verstärker-Ausgangssignal $+V_a$ auszutasten. Während der Zeit zwischen den hohen Impulsen in dem Signal $ck2$ wird das abgetastete Signal V_{34} geringfügig während des Haltens abfallen. Ausgenommen diesen Abfall entspricht der mittlere Wert von V_{34} demjenigen des positiven Teiles des Signales $+V_a$.

[0043] Der Ausgang V_{36} des Abtast- und Halteschaltkreises 36 ist dem Verstärker-Ausgangssignal $-V_a$ in Fig. 5b überlagert (als eine stärkere Linie). Bei jedem hohen Impuls in dem Taktsignal $ck3$ wird der Abtast- und Halteschaltkreis 36 freigegeben (d. h. aktiviert), um das Verstärker-Ausgangssignal $-V_a$ abzutasten. Ausgenommen diesen Abfall entspricht der mittlere Wert von V_{36} demjenigen des positiven Teiles des Signales $-V_a$.

[0044] Es ist daher erkennbar, daß während eines späten zentralen Teiles einer jeden Phase $\phi 1$ des Hall-Taktes $ck1$ ein hoher Impuls in dem Taktsignal $ck2$ während der Phase $\phi 2$ auftritt, um den Abtast- und Halteschaltkreis 34 zu aktivieren und daß in gleicher Weise während eines späten zentralen Teiles einer jeden Phase $\phi 1$ des Hall-Taktes $ck1$ ein hoher Impuls in dem Taktsignal $ck3$ während der Phase $\phi 3$ auftritt, um den Abtast- und Halteschaltkreis 36 zu aktivieren.

[0045] Somit sind die zwei Signalspannungen V_{34} und V_{36} proportional zu den positiven und negativen Spitzenspannungen in dem geschalteten Ausgangssignal des Hall-Schaltkreises V_{sh} , ohne durch Spannungsspitzen in diesem Signal und durch Störungen in dem Verstärker-Ausgangssignal während der Erholung des Verstärkers von diesen Hall-Schaltungs-Spannungsspitzen beeinträchtigt zu werden.

[0046] Die zwei Ausgangssignale V_{34} und V_{36} des Abtast- und Halteschaltkreises werden zu einem Spannungssummierer 38 weitergereicht, der eine Summier-Ausgangsspannung wie folgt erzeugt:

$$V_S = V_{34} + V_{36} = (G/2)(V_H + V_{osa}) + (G/2)(V_H - V_{osa}) = GV_H$$

[0047] Alternativ kann der Summierschaltkreis 38 von der Art sein (mit einer Verstärkung von 0,5), die die zwei Eingangssignale von V_{34} und V_{36} mittelt, in welchem Fall die Ausgangsspannung des Summierers einfach durch $(G/2)V_H$ gegeben ist.

[0048] Der vollständig differentielle Hall-Sensor von Fig. 6 besitzt einen geschalteten Hall-Schaltkreis 40, einen Hall-Spannungsverstärker 42, einen getakteten differentiellen Abtast- und Halteschaltkreis 44 mit gekreuzter Polarität und einen Summierschaltkreis 46. Diese Hauptkomponenten des Hall-Sensors von Fig. 6 führen die gleichen Funktionen aus wie dies die entsprechenden Hauptkomponenten in Fig. 3 tun. Diese Hall-Sensoren geben eine große Reduzierung der Hall-Offset-Spannungen und der Verstärker-Offset-Spannungen in der Ausgangsspannung des Summierers vor, d. h. in der Ausgangsspannung des Sensors. Der Hall-Sensor von Fig. 6 zeigt sogar weniger Welligkeit als der Schaltkreis von Fig. 3, welche verminderte Welligkeit der Streichung des differentiellen Abfalles und der Ladungs-Injektions-Effekte der Abtast- und Halteschaltkreise zuzuschreiben ist sowie eine Verminderung von anderem Gleichtaktrauschen, wie beispielsweise Veränderungen in der Versorgungsspannung.

[0049] Der Verstärker 42 (Fig. 6) besitzt ein zusätzliches Merkmal, nämlich ein Rausch-Unterdrückungsmerkmal, wobei die zuvor erwähnten Rauschspitzen, die an den Phasenumschaltungen in dem Hall-Schalttakt $ck1$ erzeugt

werden, in dem Hall-Spannungsverstärker 42 gedämpft werden. Dies wird verwirklicht durch eine gemeinsame Unterdrückungsschaltung innerhalb des Verstärkers 42, welche die Verstärkung des Verstärkers wesentlich während der Phasenumschaltungen in dem Takt ck1 reduziert. Die Unterdrückung wird bewirkt durch ein Taktsignal ck4, das eine Impulsform gemäß Fig. 4d aufweist und das mit dem Hall-Schalter-Taktsignal ck1 von Fig. 4a synchronisiert ist.

[0050] Gemäß Fig. 7 wird der Doppel-Differentialverstärker 42 in einem integrierten Schaltkreis gebildet und verwendet bipolare Verstärkungstransistoren 51 und 52, denen P-MOS-Stromspiegeltransistoren 53 und 54 und Stromquellentransistoren 59 und 60 folgen. Der Differentialausgang dieser zwei Spiegeltransistoren wird periodisch durch den Schalter kurzgeschlossen, der aus den 4 MOS-Transistoren 55, 56, 57 und 58 zusammengesetzt ist. Wenn die N-MOS und P-MOS-Transistoren durch das Taktsignal ck4 während der Phasen $\phi 4$ und $n\phi 4$ entsprechend eingeschaltet werden, so ist der Verstärker quasi kurzgeschlossen und die Verstärkung des Verstärkers wesentlich reduziert, während er die Funktion der Unterdrückung der Rauschspitzen ausführt, die bei den Phasenumschaltungen des Taktes ck1 erzeugt werden. Dieses Verstärker-Unterdrückungsmerkmal verbessert ferner das Verhältnis des Hall-Sensor-Ausgangssignales zu dem Hall-Schaltungsrauschen.

[0051] Der Hall-Sensorschaltkreis von Fig. 6 einschließlich des Verstärkers von Fig. 7 und einschließlich der vier Abtast- und Halteschaltkreiselemente gemäß Fig. 8 (die den Mehrfach-Abtast- und Halteschaltkreis 44 von Fig. 6 ersetzen) ist in der Lage, mit einer Taktfrequenz ck1 zu arbeiten, die größer als 200 kHz ist, und daher kann die verbleibende Welligkeit, die der typischen Stufenwellenform nach der Abtastung und einer möglichen Takt Durchführung zuordenbar ist, unter Verwendung eines Tiefpaßfilters mit einem relativ kleinen integrierbaren Filterkondensator gefiltert werden. Der Abtast- und Halteschalter in Fig. 8 ist aus vier MOS-Transistoren 61, 62, 63 und 64 und einem Pufferschaltkreis zusammengesetzt. Die vier MOS-Transistoren werden durch ein Paar von komplementären Taktsignalen ck2 und nck2 (oder ck3 und nck3) getaktet in der gleichen Weise, wie dies bei dem Rausch-Unterdrückungsschalter geschieht unter Verwendung der Transistoren 55-58 in dem Verstärker 42 von Fig. 7.

[0052] Der Differential/Differential-Verstärker, z. B. der Verstärker 42 kann durch einen Verstärker mit Differential-eingang und einfachem Ausgang ersetzt werden, wobei der Verstärker-Ausgang direkt an einen (oder an ein Paar von) Abtast- und Halteschaltkreisen und über einen Inverter an einen anderen (oder ein paar von) Abtast- und Halteschaltkreisen angeschlossen ist, wodurch im wesentlichen die gleichen Ergebnisse wie für den Hall-Sensor von Fig. 3 (oder von Fig. 6) erzielt werden.

Patentansprüche

1. Getakteter Hall-Sensor mit einem Hall-Element, das zwei Paare von diagonal gegenüberliegenden Hall-Kontakten besitzt, wobei die Kontakte voneinander beabstandet sind und nahe des Umfanges des Hall-Elementes angeordnet sind, mit einem Paar von Gleichspannungs-Versorgungsleitungen, an die eine Gleichspannungsquelle zum Anregen des Hall-Elementes angeschlossen werden kann, mit einem Taktsignalgenerator zur Erzeugung eines binären Taktsignales ck1 an einem ersten Taktausgang, das binäre Phasen $\phi 1$ und $n\phi 1$ besitzt und mit einem Hall-Element-Schalter-Schaltkreis, der an den ersten Taktausgang angeschlossen ist und ein Paar von Hall-Element-Schalter-Schaltkreis-

Ausgangsleitungen besitzt, um während der Phase $\phi 1$ eines der diagonal gegenüberliegenden Kontaktpaare mit dem Paar von Gleichspannungs-Versorgungsleitungen zu verbinden, während gleichzeitig das andere der diagonal gegenüberliegenden Kontaktpaare mit dem Paar von Hall-Element-Schalter-Schaltkreis-Ausgangsleitungen verbunden wird und um während der Phase $n\phi 1$ das andere der diagonal gegenüberliegenden Kontaktpaare mit dem Paar von Gleichspannungs-Versorgungsleitungen zu verbinden, während gleichzeitig das eine Paar von diagonal gegenüberliegenden Hallkontakten mit dem Paar von Hallelement-Schalter-Schaltkreis-Ausgangsleitungen verbunden wird und wobei die Verbesserung umfaßt:

a) Einen Begleittakt-Signalgenerator, der an den einen Taktsignal-Generator angeschlossen ist und einen zweiten Taktausgang besitzt, um an dem zweiten Taktausgang ein binäres Taktsignal ck2 mit einer binären Phase $\phi 2$ zu erzeugen, das während eines Mittelteiles einer jeden Phase $\phi 1$ des Taktsignales ck1 auftritt und der einen dritten Taktausgang besitzt, um an dem dritten Taktausgang ein binäres Taktsignal ck3 mit einer binären Phase $\phi 3$ zu erzeugen, das während eines Mittelteiles einer jeden Phase $n\phi 1$ des Taktsignales ck1 auftritt;

b) einen linearen, analogen Doppeldifferential-Hall-Spannungsverstärker (30), der mit einem Differentialeingang an das Paar von Hallelement-Schalter-Schaltkreis-Ausgangsleitungen angeschlossen ist;

c) einen getakteten Abtast- und Halteschaltkreis (34, 36), der erste und zweite Abtast- und Halteschaltkreiselemente umfaßt, wobei jedes der ersten und zweiten Abtast- und Halteschaltkreiselemente einen Eingang besitzt, der entsprechend an den einen oder anderen der Differentialausgänge des Hall-Spannungsverstärkers (30) angeschlossen ist, wobei die ersten und zweiten Abtast- und Halteschaltkreiselemente eine Abtast-Freigabe-Schaltanordnung aufweisen, die entsprechend an die zweiten und dritten Taktausgänge angeschlossen sind, um entsprechend die Eingangssignale der Abtast- und Halteschaltkreiselemente nur während der Phasen $\phi 2$ und $\phi 3$ abzutasten, und die Abtastsignale an den entsprechenden Ausgängen der ersten und zweiten Abtast- und Halteschaltkreiselemente während der Phasen $n\phi 2$ und $n\phi 3$ entsprechend zu halten; und

d) einen Summierschaltkreis (38), der mit einem ersten Eingang an den Ausgang des ersten Abtast- und Halteschaltkreiselementes angeschlossen ist und der mit einem zweiten Eingang an den Ausgang des zweiten Abtast- und Halteschaltkreiselementes abgeschlossen ist, wobei der Ausgang des Summierschaltkreises als Ausgang des Hall-Sensors dient.

2. Getakteter Hall-Sensor nach Anspruch 1, wobei der Begleittakt-Signalgenerator zusätzlich an einem vierten Taktausgang ein binäres Taktsignal ck4 mit einer binären Phase $\phi 4$ erzeugt, das synchronisiert ist, um während einer Zeitspanne aufzutreten, die jeden Auftritt einer Umschaltung zwischen den Phasen $\phi 1$ und $n\phi 1$ in dem Taktsignal ck1 umfaßt, wobei der Doppeldifferential-Hall-Spannungsverstärker eine elektrisch betätigte Verstärkungs-Reduzierschaltanordnung umfaßt, die an den vierten Taktausgang während jeder Phase $\phi 4$ in dem Taktsignal ck4 angeschlossen ist, um

die Differentialverstärkung des Hall-Spannungsverstärkers zu vermindern.

3. Getakteter Hall-Sensor nach Anspruch 1, wobei der getaktete Abtast- und Halteschaltkreis zusätzlich dritte und vierte Abtast- und Halte-Schaltkreiselemente umfaßt und jedes dritte und vierte Abtast-Halte-Schaltkreiselement einen Eingang besitzt, der entsprechend an den anderen und den einen der Differentialausgänge des Hall-Spannungsverstärkers angeschlossen ist, wobei jedes dritte und vierte Abtast- und Halte-Schaltkreiselement eine Abtast-Freigabe-Schaltanordnung besitzt, die entsprechend an die zweiten und dritten Taktausgänge angeschlossen ist, um die Eingangssignale der Abtast- und Halte-Schaltkreiselemente nur während der Phase ϕ_2 und ϕ_3 abzutasten und die Abtastsignale an den entsprechenden Ausgängen der dritten und vierten Abtast- und Halte-Schaltkreiselemente während der Phasen ϕ_2 und ϕ_3 entsprechend zu halten, wobei die Summiereinrichtung zusätzlich einen dritten Eingang aufweist, der an den Ausgang des dritten Abtast- und Halte-Schaltkreiselementes angeschlossen ist und einen vierten Eingang aufweist, der an den Ausgang des vierten Abtast- und Halte-Schaltkreiselementes angeschlossen ist, so daß der getaktete Abtast- und Halte-Schaltkreis ein Volldifferential-Abtast- und Halteschaltkreis mit gekreuzter Polarität ist.

Hierzu 5 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

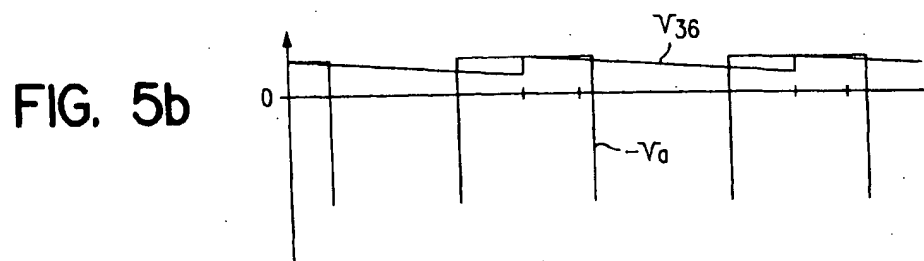
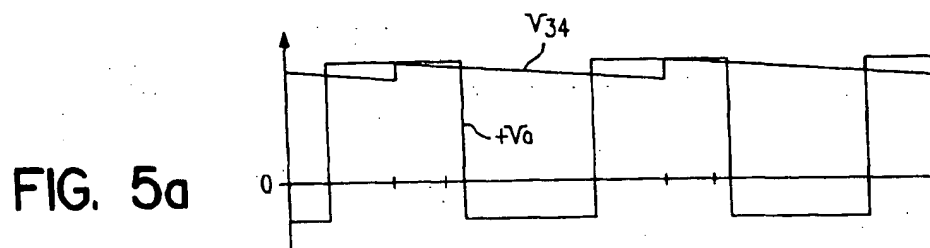
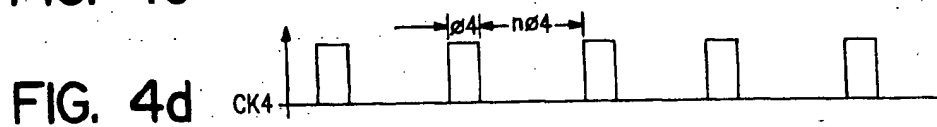
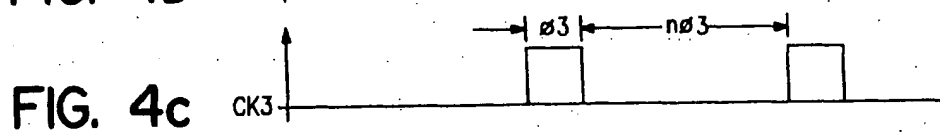
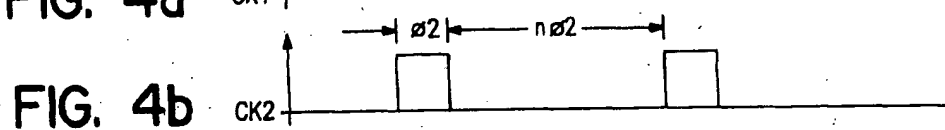
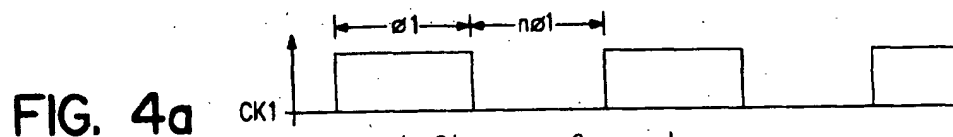
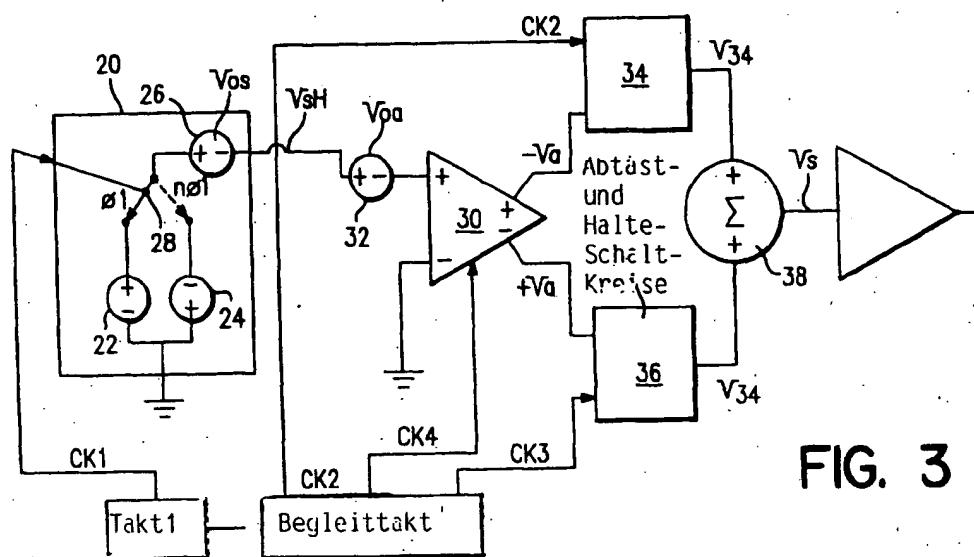


FIG. 1

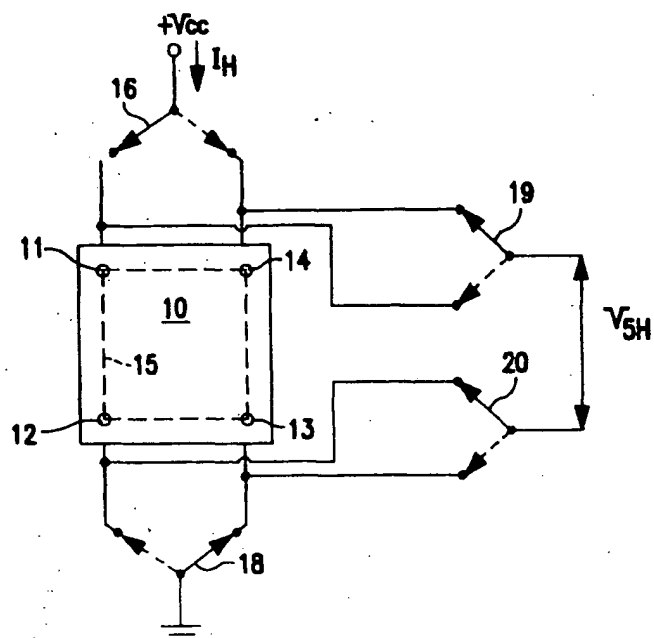


FIG. 2a

CK1

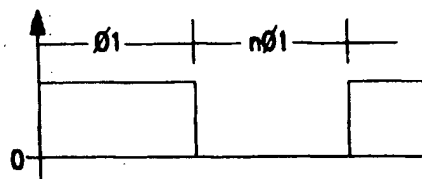


FIG. 2b

V_{GS}

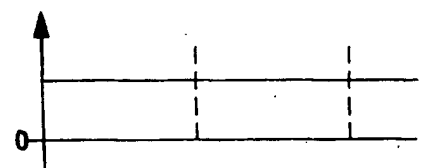


FIG. 2c

V_H

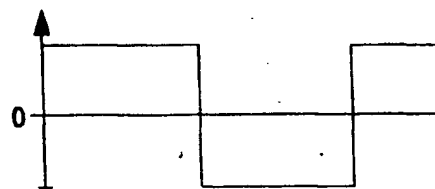
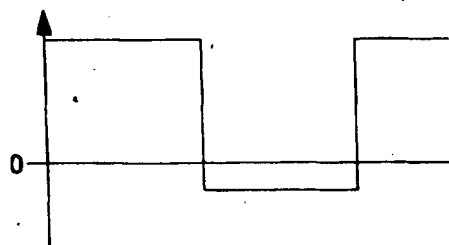


FIG. 2d

V_{5H}



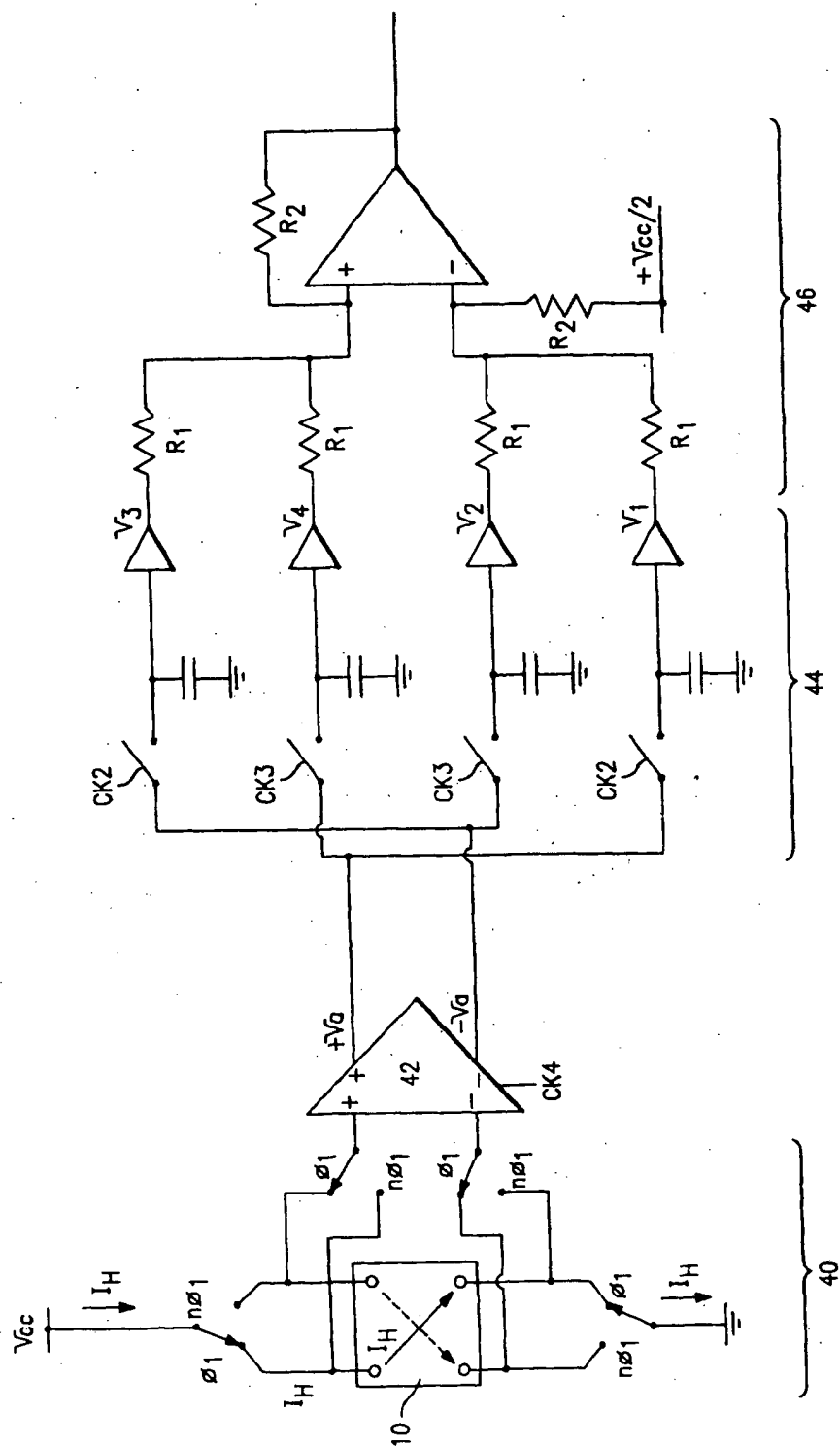


FIG. 6

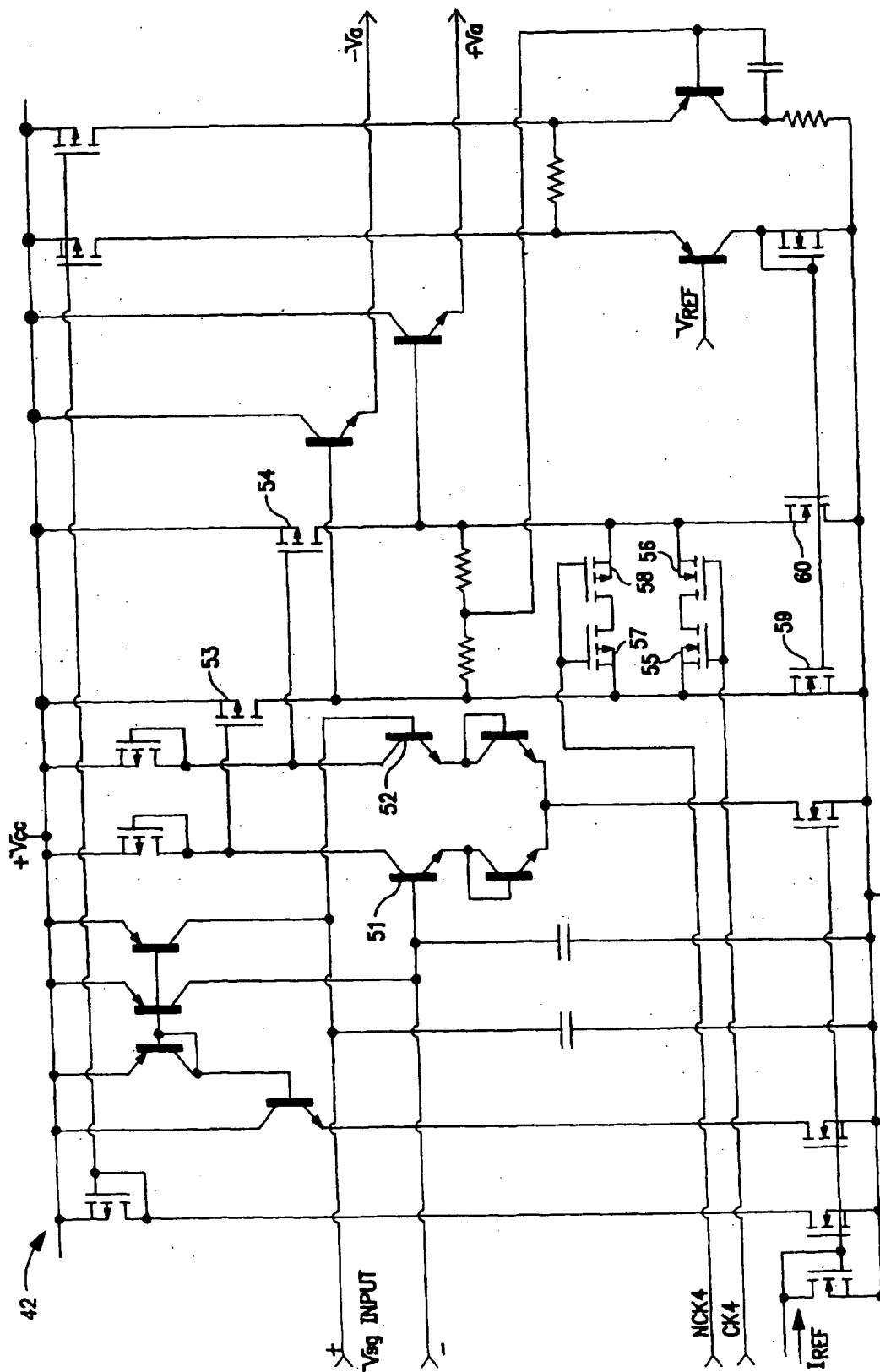


FIG. 7

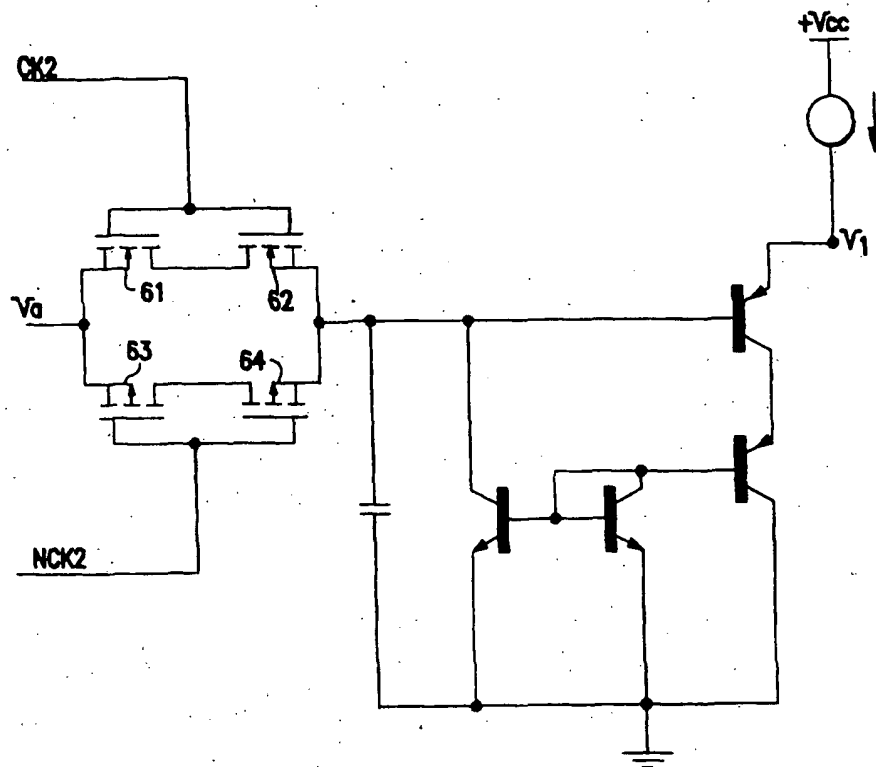


FIG. 8

Chopped hall sensor with synchronously chopped sample-and-hold circuit

Patent Number: US5621319
Publication date: 1997-04-15
Inventor(s): BILOTTI ALBERTO (AR); MONREAL GERARDO (AR)
Applicant(s): ALLEGRO MICROSYSTEMS INC (US)
Requested Patent: DE19650184
Application Number: US19950569814 19951208
Priority Number(s): US19950569814 19951208
IPC Classification: G01R33/07; H03K5/1254
EC Classification: G01R33/07
Equivalents: FR2742225, GB2308029, JP3022957B2, JP9196699

Abstract

A chopped Hall sensor includes a Hall-element switching circuit of the kind in which a Hall element has two pairs of diagonally opposite Hall contacts which are alternately connected to a pair of DC supply conductors and to a pair of Hall-stitching-circuit output conductors for alternately, during phase phi 1 and n phi 1 of a first clock signal, switching the Hall exciting current from flow in one to another direction through the Hall element. A linear analog double-differential Hall-voltage amplifier has an input connected to the output of the Hall switching-circuit. A sample-and-hold circuit is comprised of first and second elemental sample-and-hold circuits (ESHCs) with inputs connected respectively to the two Hall-voltage differential-amplifier outputs. The first and second ESHCs are respectively clocked, by second and third clock signals, to the sample Hall voltage signal only during phases phi 2 and phi 3 and to hold the sample signal during phases n phi 2 and n phi 3 respectively, where phi 2 and phi 3 occur respectively during a mid portion of phases phi 1 and n phi 1. Two inputs of a summer circuit are connected respectively to the outputs of the first and second ESHCs. A third and fourth ESHC may be added to form a crossed-polarity full-differential sample-and-hold circuit. The Hall voltage amplifier may include a clocked noise blanking circuit for reducing the differential-gain of the amplifier only during a time span encompassing each phase transition in the first clock signal.

Data supplied from the esp@cenet database - I2

DOCKET NO: W-IT-462

SERIAL NO: _____

APPLICANT: Carl Schrödinger

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100